

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-208707

(43)Date of publication of application : 28.07.2000

(51)Int.Cl.

H01L 27/04  
H01L 21/822

(21)Application number : 11-002829

(71)Applicant : NEC IC MICROCOMPUT SYST  
LTD

(22)Date of filing : 08.01.1999

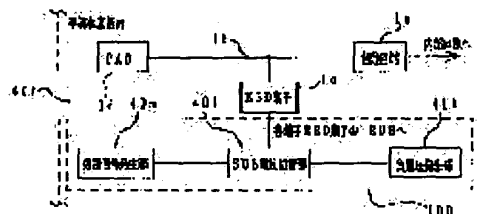
(72)Inventor : KURIHARA YUSHO

## (54) SEMICONDUCTOR DEVICE AND CONTROL METHOD FOR TERMINAL CAPACITANCE OF THE DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a semiconductor device in which terminal capacitance is made controllable.

SOLUTION: In this semiconductor device, a transistor for electrostatic protection is formed in the vicinity of a pad, and the terminal capacitance of the semiconductor device is made controllable. A control means for controlling the potential of a well, in which the transistor for electrostatic protection is formed, is installed. The control means consists of a potential setting part 401 setting the potential of the well, in which the transistor for electrostatic protection is formed and a negative voltage generating part 40k as a power source of the potential setting part 401.



## LEGAL STATUS

[Date of request for examination] 08.01.1999

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3043735

[Date of registration] 10.03.2000

[Number of appeal against examiner's decision of

rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-208707

(P2000-208707A)

(43) 公開日 平成12年7月28日 (2000.7.28)

(51) Int.Cl.<sup>7</sup>

H 0 1 L 27/04  
21/822

識別記号

F I

H 0 1 L 27/04

テーマコード (参考)

C 5 F 0 3 8  
G

審査請求 有 請求項の数13 O L (全 13 頁)

(21) 出願番号 特願平11-2829

(22) 出願日 平成11年1月8日 (1999.1.8)

(71) 出願人 000232036

日本電気アイシーマイコンシステム株式会  
社  
神奈川県川崎市中原区小杉町1丁目403番  
53

(72) 発明者 栗原 勇昇

神奈川県川崎市中原区小杉町一丁目403番  
53 日本電気アイシーマイコンシステム株  
式会社内

(74) 代理人 100070530

弁理士 畑 泰之

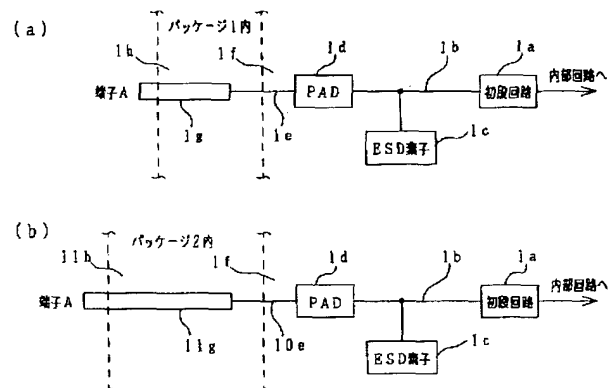
F ターム (参考) 5F038 AC06 AV06 AV18 BG06 BG09  
BH03 BH07 CD17 EZ08

(54) 【発明の名称】 半導体装置とその端子容量の制御方法

(57) 【要約】

【課題】 端子容量を制御可能にした半導体装置を提供する。

【解決手段】 パッド近傍に静電保護用のトランジスタが設けられ、半導体装置の端子容量を制御可能にした半導体装置であって、前記静電保護用のトランジスタが形成されているウエルの電位を制御するための制御手段を設けたものであり、前記制御手段は、前記静電保護用のトランジスタが形成されているウエルの電位を設定する電位設定部401と、前記電位設定部401の電源である負電圧発生部40kとで構成したことを特徴とする。



## 1

## 【特許請求の範囲】

【請求項 1】 パッド近傍に静電保護用のトランジスタが設けられ、半導体装置の端子容量を制御可能にした半導体装置であって、

前記静電保護用のトランジスタが形成されているウエルの電位を制御するための制御手段を設けたことを特徴とする半導体装置。

【請求項 2】 前記制御手段は、前記静電保護用のトランジスタが形成されているウエルの電位を設定する電位設定部と、前記電位設定部の電源である負電圧発生部とで構成したことを特徴とする請求項 1 記載の半導体装置。

【請求項 3】 前記制御手段は、前記静電保護用のトランジスタが形成されているウエルの電位を設定する複数の電位設定部と、前記電位設定部の電源である負電圧発生部と、前記複数の電位設定部を選択する選択手段とからなり、前記選択手段の選択された電圧で前記静電保護用のトランジスタが形成されているウエルの電位を制御することを特徴とする請求項 1 記載の半導体装置。

【請求項 4】 前記制御手段は、前記電位設定部を制御する切替信号発生部を含むことを特徴とする請求項 2 又は 3 記載の半導体装置。

【請求項 5】 前記電位設定部は、複数の端子の容量を制御することを特徴とする請求項 2 乃至 4 の何れかに記載の半導体装置。

【請求項 6】 前記電位設定部が複数設けられ、少なくとも一つの電位設定部は複数の端子の容量を制御し、且つ、複数の切替信号発生部を有することを特徴とする請求項 2 乃至 4 の何れかに記載の半導体装置。

【請求項 7】 前記電位設定部は、抵抗と、N チャンネルトランジスタとからなり、前記抵抗の一端が前記第 1 の電源に接続され、前記 N チャンネルのトランジスタのソースは、前記負電圧発生部に接続されており、前記抵抗の他端は、前記 N チャンネルのトランジスタのドレインに接続され、前記 N チャンネルトランジスタのゲート電位を前記切替信号発生部で制御することを特徴とする請求項 2 乃至 6 の何れかに記載の半導体装置。

【請求項 8】 前記電位設定部は、抵抗と、 $n$  ( $n$  は整数で 2 以上) 個の N チャンネルトランジスタとからなり、前記抵抗の一端は前記第 1 の電源に接続され、前記 1 番目の N チャンネルのトランジスタのソースは、前記負電圧発生部に接続されており、 $(m-1)$  番目 ( $2 \leq m \leq n$ ) の N チャンネルのトランジスタのドレインとゲートとは、 $m$  番目の N チャンネルのトランジスタのソースに夫々接続され、前記抵抗の他端は、前記  $n$  番目の N チャンネルのトランジスタのドレインに接続され、前記 1 番目の N チャンネルトランジスタのゲート電位を、前記切替信号発生部で制御することを特徴とする請求項 2 乃至 6 の何れかに記載の半導体装置。

【請求項 9】 前記電位設定部は、抵抗と、 $n$  ( $n$  は整

## 2

数で 2 以上) 個の N チャンネルトランジスタとからなり、前記抵抗の一端は前記第 1 の電源に接続され、前記 1 番目の N チャンネルのトランジスタのソースは前記負電圧発生部に接続されており、 $(m-1)$  番目 ( $2 \leq m \leq n$ ) の N チャンネルのトランジスタのドレインとゲートとは、 $m$  番目の N チャンネルのトランジスタのソースに夫々接続され、前記抵抗の他端は、前記  $n$  番目の N チャンネルのトランジスタのドレインに接続され、前記  $n$  番目の N チャンネルのトランジスタのドレインが前記静電保護用のトランジスタが形成されているウエルに接続されており、前記 1 番目の N チャンネルトランジスタのゲートを第 1 の電源に接続したことを特徴とする請求項 2 乃至 6 の何れかに記載の半導体装置。

【請求項 10】 前記電位設定部は、抵抗と、1 個の N チャンネルトランジスタとからなり、前記抵抗の一端は前記第 1 の電源に接続され、前記 N チャンネルのトランジスタのソースが前記負電圧発生部に接続され、前記抵抗の他端は、前記 N チャンネルのトランジスタのドレインに接続され、前記 N チャンネルのトランジスタのドレインが前記静電保護用のトランジスタが形成されているウエルに接続され、ゲートを第 1 の電源に接続したことを特徴とする請求項 2 乃至 6 の何れかに記載の半導体装置。

【請求項 11】 前記切替信号発生部は、第 2 の電源と前記負電圧発生部との間に設けた抵抗とヒューズ回路との直列回路からなり、前記抵抗とヒューズ回路との接続点を前記電位設定部の N チャンネルトランジスタのゲートに接続したことを特徴とする請求項 7 又は 8 記載の半導体装置。

【請求項 12】 前記第 1 の電源と第 2 の電源とは、同一の電源であることを特徴とする請求項 11 記載の半導体装置。

【請求項 13】 パッド近傍に静電保護用のトランジスタが設けられ、半導体装置の端子容量を制御可能にした半導体装置の端子容量の制御方法であって、前記トランジスタが形成されているウエルの電位を制御することで端子容量を制御することを特徴とする半導体装置の端子容量の制御方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、半導体装置とその端子容量の制御方法に係わり、特に、端子容量を制御可能にした半導体装置とその端子容量の制御方法に関する。

## 【0002】

【従来の技術】図 1 (a) は、従来の入力端子容量の一例を示すブロック図である。端子 A の端子容量は、パッケージ 1 内の配線 1g の容量と、PAD 1d を接続する配線 1e の容量と、ESD (Electro static Discharge) 素子 (パンチスルー素子)

10

20

30

40

50

## 3

1 c のジャンクション容量と、初段回路 1 a のトランジスタのゲート容量と、それらを接続する配線 1 b (アルミ配線) の容量との和から構成される。

【0003】端子容量は、一般的に、MAX (最大) 規格があるが、近年、クロックに同期して高速動作する製品において、入出力データの信号の変化が速すぎると誤動作を起こす為、システムを設計する上で端子容量値の下限值も考慮しなければならない。この為、端子容量値の MIN (最小) 規格が必要となり、その上、MIN、MAX 値の差を小さくするように要求されている。また、製品用途の多様化に伴い、複数のパッケージに対応可能であることが要求されている。

【0004】例えば、半導体チップを共有化して、異なるパッケージで製品化する場合、各パッケージにおいて、端子容量値の MIN、MAX の規格があると、双方の規格を満足するように、チップ内の ESD 素子のトランジスタの大きさや、配線の長さなどを調整しなければならない。しかし、各パッケージの配線容量によっては、双方の規格を満足しないことがある。その一例について、図 1 乃至図 3 を用いて説明する。

【0005】図 1 (a) は、従来例のパッケージ 1 の端子 A の容量構成図、図 1 (b) は、パッケージ 2 の端子 A の容量構成図、図 2 は、各パッケージ毎の規格値と各パッケージ毎の端子 A の容量値の比較をしたグラフである。パッケージ 1 の端子 A の端子容量規格が、3.6 ~ 4.4 p f、パッケージ 2 の端子 A の端子容量規格が、4.1 ~ 4.9 p f とする。パッケージ 1 の端子 A の端子容量値が、3.4 p f、パッケージ 2 の端子 A の端子容量値が、4.8 p f である場合、パッケージ 1 の端子 A の端子容量が規格を満足しない為、チップ内の容量を増やそうとすると、パッケージ 2 内の配線 11 g は、パッケージ 1 内の配線 1 g より長い為、パッケージ 2 の端子 A の端子容量が規格を満足しなくなる。

【0006】この条件を満足する為に、例えば、特開平 3-116773 号公報には、図 3 に示すような半導体装置が開示されている。この半導体装置について図 3 を参照して説明する。図 3 に示すように、入力 PAD 1 d、入力 PAD 21 d から ESD 素子 20 c と初段回路 1 a へアルミ配線 20 b によって接続される途中に切替部 20 i を設けている。この切替部 20 i はヒューズ回路で構成され、レーザーにより切断することによって、端子容量を調整するようになっている。

【0007】しかし、これらの手法は、次のような問題がある。第 1 の問題点は、前記調整容量を付加する為に、半導体基板内の端子容量 (PAD の容量 + ESD 素子の容量 + 初段回路のトランジスタのゲート容量 + それらの接続配線容量) を最小にしなければならない。例えば、前記調整容量を切断せずに端子容量規格を満足した場合、PAD 容量が 1 p f、ESD 素子のジャンクション容量 1.5 p f、初段回路の T r ゲート容量が 0.5

## 4

p f、それらの接続配線容量が 1.5 p f、調整容量が 0.5 p f で、半導体基板内の端子容量の合計 4 p f だとすると、調整容量が 0.5 p f は、本来不要なもので、その分他の容量を増しても良かったことになる。一般的に、ESD 素子ジャンクション容量は、トランジスタのゲート長 (W) サイズに比例し、サイズが大きい方が静電破壊耐圧が高い。よって、不要な容量を付けることにより、耐圧を下げていることになる。

【0008】第 2 の問題点は、数百端子 (多端子) の製品になると、チップサイズが大きくなる。図 4 に前記公報のレイアウト配置図を示す。図 4 に示すように、各端子毎に、調整容量素子を配置しなければならない為、多端子となる程、調整容量素子面積が多くなる。第 3 の問題点は、ヒューズ切断によって容量を調整する場合、各端子毎にヒューズがある為、数百端子 (多端子) の製品で全端子を切断すると、ヒューズ切断工数が大となる。

【0009】第 4 の問題点は、端子容量を減らすことでしか容量の調整ができない。図 5 を用いて説明すると、例えば、容量を調整する前の段階で、ある端子 A の端子容量が、端子容量 MIN 基準を満足できなかった場合、容量を増やすことができない為、基準を満足できないという欠点もある。

## 【0010】

【発明が解決しようとする課題】本発明の目的は、上記した従来技術の欠点を改良し、特に、端子容量を制御可能にした新規な半導体装置とその端子容量の制御方法を提供するものである。

## 【0011】

【課題を解決するための手段】本発明は上記した目的を達成するため、基本的には、以下に記載されたような技術構成を採用するものである。即ち、本発明に係わる半導体装置の第 1 態様は、パッド近傍に静電保護用のトランジスタが設けられ、半導体装置の端子容量を制御可能にした半導体装置であって、前記静電保護用のトランジスタが形成されているウエルの電位を制御するための制御手段を設けたことを特徴とするものであり、又、第 2 態様は、前記制御手段は、前記静電保護用のトランジスタが形成されているウエルの電位を設定する電位設定部と、前記電位設定部の電源である負電圧発生部とで構成したことを特徴とするものであり、又、第 3 態様は、前記制御手段は、前記静電保護用のトランジスタが形成されているウエルの電位を設定する複数の電位設定部と、前記電位設定部の電源である負電圧発生部と、前記複数の電位設定部を選択する選択手段とからなり、前記選択手段の選択された電圧で前記静電保護用のトランジスタが形成されているウエルの電位を制御すること、を特徴とするものであり、又、第 4 態様は、前記制御手段は、前記電位設定部を制御する切替信号発生部を含むことを特徴とするものであり、又、第 5 態様は、前記電位設定部は、複数の端子の容量を制御することを特徴とす

るものであり、又、第 6 態様は、前記電位設定部が複数設けられ、少なくとも一つの電位設定部は複数の端子の容量を制御し、且つ、複数の切替信号発生部を有することを特徴とするものであり、又、第 7 態様は、前記電位設定部は、抵抗と、N チャンネルトランジスタとからなり、前記抵抗の一端が前記第 1 の電源に接続され、前記 N チャンネルのトランジスタのソースは、前記負電圧発生部に接続されており、前記抵抗の他端は、前記 N チャンネルのトランジスタのドレインに接続され、前記 N チャンネルトランジスタのゲート電位を前記切替信号発生部で制御することを特徴とするものであり、又、第 8 態様は、前記電位設定部は、抵抗と、 $n$  ( $n$  は整数で 2 以上) 個の N チャンネルトランジスタとからなり、前記抵抗の一端は前記第 1 の電源に接続され、前記 1 番目の N チャンネルのトランジスタのソースは、前記負電圧発生部に接続されており、 $(m-1)$  番目 ( $2 \leq m \leq n$ ) の N チャンネルのトランジスタのドレインとゲートとは、 $m$  番目の N チャンネルのトランジスタのソースに夫々接続され、前記抵抗の他端は、前記  $n$  番目の N チャンネルのトランジスタのドレインに接続され、前記 1 番目の N チャンネルトランジスタのゲート電位を、前記切替信号発生部で制御することを特徴とするものであり、又、第 9 態様は、前記電位設定部は、抵抗と、 $n$  ( $n$  は整数で 2 以上) 個の N チャンネルトランジスタとからなり、前記抵抗の一端は前記第 1 の電源に接続され、前記 1 番目の N チャンネルのトランジスタのソースは前記負電圧発生部に接続されており、 $(m-1)$  番目 ( $2 \leq m \leq n$ ) の N チャンネルのトランジスタのドレインとゲートとは、 $m$  番目の N チャンネルのトランジスタのソースに夫々接続され、前記抵抗の他端は、前記  $n$  番目の N チャンネルのトランジスタのドレインに接続され、前記  $n$  番目の N チャンネルのトランジスタのドレインが前記静電保護用のトランジスタが形成されているウエルに接続されており、前記 1 番目の N チャンネルトランジスタのゲートを第 1 の電源に接続したことを特徴とするものであり、又、第 10 態様は、前記電位設定部は、抵抗と、1 個の N チャンネルトランジスタとからなり、前記抵抗の一端は前記第 1 の電源に接続され、前記 N チャンネルのトランジスタのソースが前記負電圧発生部に接続され、前記抵抗の他端は、前記 N チャンネルのトランジスタのドレインに接続され、前記 N チャンネルのトランジスタのドレインが前記静電保護用のトランジスタが形成されているウエルに接続され、ゲートを第 1 の電源に接続したことを特徴とするものであり、又、第 11 態様は、前記切替信号発生部は、第 2 の電源と前記負電圧発生部との間に設けた抵抗とヒューズ回路との直列回路とからなり、前記抵抗とヒューズ回路との接続点を前記電位設定部の N チャンネルトランジスタのゲートに接続したことを特徴とするものであり、又、第 12 態様は、前記第 1 の電源と第 2 の電源とは、同一の電源であることを特徴

とするものである。

【0012】又、本発明に係わる半導体装置の端子容量の制御方法の態様は、パッド近傍に静電保護用のトランジスタが設けられ、半導体装置の端子容量を制御可能にした半導体装置の端子容量の制御方法であって、前記トランジスタが形成されているウエルの電位を制御することで端子容量を制御することを特徴とするものである。

【0013】

【発明の実施の形態】本発明に係わる半導体装置は、ESD 素子の SUB 電位 (ウエルの電位) を可変することにより、容易に端子容量の MIN、MAX 規格を満足させることができ、端子間の容量のバラツキもなくすることができるものである。即ち、本発明は、図 6 に示すように、負電位発生部 40k から発生される負電位と、切替信号発生部 40m から発生される切替信号と、SUB 電位切替部 (電位設定部) 40l とで構成し、ESD 素子の SUB 電位を切替えることを特徴としている。

【0014】この場合、図 9 に示すように、前記切替信号発生部 40m は、GND と負電位間に直列に設けられた抵抗 60y とヒューズ 60x とで構成され、このヒューズ 60x を切断することで、切替信号を発生させるものである。又、図 10 に示すように、SUB 電位切替部 41l は、Nch トランジスタ 60v、61v、62v を縦積みにする段数により、所定の切替電圧に設定することを可能にしている。

【0015】又、図 11 に示すように、調整する容量が複数端子同じ場合、ESD 素子 1c ~ 5c の SUB 電位をまとめて制御できるように構成したことを特徴している。更に、図 12 に示すように、同時に調整する容量値が、PAD 2d、PAD 3d の端子のグループと、PAD 4d、PAD 5d の端子のグループのように、グルーピングされた端子毎に調整する容量が異なる場合、切替信号発生部 41m を共有化して、各端子グループ毎に SUB 電位切替部を設けるように構成したことを特徴としている。

【0016】更に、図 13 に示すように、切替信号発生部 50m は、ESD 素子 1c の SUB (ウエル) に接続された PAD 50d を、配線 (ボンディングワイヤー等) 50e を介して GND 端子 50g に接続するか、配線 (ボンディングワイヤー等) 51e を介して SUB 電位調整部 50l に接続されている PAD 51d に接続するかによって、前記 ESD 素子の SUB 電位を切替えることを特徴としている。

【0017】更に、図 14 に示すように、2 つの切替信号発生部 40m、41m により、SUB 電位切替部 60l から出力されるある負電位を、上げたり下げたりすることによって、ESD 素子のジャンクション容量を増減させるように構成したことを特徴している。

【0018】

【実施例】以下に、本発明に係わる半導体装置とその端

子容量の制御方法の具体例を図面を参照しながら詳細に説明する。

(第1の具体例) 図6乃至図12は、本発明に係わる半導体装置とその端子容量の制御方法の具体例を示す図であって、これらの図には、パッド近傍1dに静電保護用のトランジスタ60uが設けられ、半導体装置の端子容量を制御可能にした半導体装置であって、前記静電保護用のトランジスタ60uが形成されているウエル50qの電位を制御するための制御手段100を設けた半導体装置が示され、又、前記制御手段100は、前記静電保護用のトランジスタ60uが形成されているウエル50qの電位を設定する電位設定部401と、前記電位設定部401の電源である負電圧発生部40kとで構成した半導体装置が示され、又、前記制御手段100は、前記電位設定部401を制御する切替信号発生部40mを含むことを特徴とする半導体装置が示され、又、前記電位設定部401は、複数の端子1d～5dの容量を制御することを特徴とする半導体装置が示され、又、前記電位設定部が複数設けられ、少なくとも一つの電位設定部は複数の端子の容量を制御し、且つ、複数の切替信号発生部を有する半導体装置が示され、又、前記電位設定部401は、抵抗60wと、Nチャンネルトランジスタ60vとからなり、前記抵抗60wの一端が前記第1の電源GNDに接続され、前記Nチャンネルのトランジスタ60vのソースは、前記負電圧発生部40kに接続されており、前記抵抗60wの他端は、前記Nチャンネルのトランジスタ60vのドレインに接続され、前記Nチャンネルトランジスタ60vのゲート電位を前記切替信号発生部40mで制御することを特徴とする半導体装置が示され、又、前記電位設定部は、抵抗60wと、n(nは整数で2以上)個のNチャンネルトランジスタ60v、61v、62vとからなり、前記抵抗60wの一端は前記第1の電源GNDに接続され、前記1番目のNチャンネルのトランジスタ62vのソースは、前記負電圧発生部40kに接続されており、(m-1)番目(2≤m≤n)のNチャンネルのトランジスタのドレインとゲートとは、m番目のNチャンネルのトランジスタのソースに夫々接続され、前記抵抗60wの他端は、前記n番目のNチャンネルのトランジスタのドレインに接続され、前記1番目のNチャンネルトランジスタ62vのゲート電位を、前記切替信号発生部40kで制御することを特徴とする半導体装置が示され、又、前記切替信号発生部40mは、第2の電源GNDと前記負電圧発生部40kとの間に設けた抵抗60yとヒューズ回路60xとの直列回路からなり、前記抵抗60yとヒューズ回路60xとの接続点を前記電位設定部401のNチャンネルトランジスタ60vのゲートに接続した半導体装置が示され、更に、前記第1の電源と第2の電源とは、同一の電源であることを特徴とする半導体装置が示されている。

【0019】以下に、本発明を更に詳細に説明する。初

めに、図6のブロック図にて説明する。図6において、40fは半導体基板である。図のように、PAD1dに初段回路1aとESD素子1cとがアルミ配線1bにて接続されている。トランジスタからなるESD素子1cを形成しているウエルのSUBには、SUB電位切替部(電位設定部)401が接続されている。このSUB電位切替部401には、切替信号発生部40mと、負電位発生部40kが接続されている。

【0020】ここで、ESD素子のSUB電位に依存するジャンクション容量について、図7を用いて説明する。ジャンクション底面、側面容量は、SUB電位が0Vに近いほど容量が多く、負電位になる程容量は減少する。前記ESD素子1cのSUB電位を変化させた場合のESD素子のトランジスタ能力について、図8にて説明する。図8は、前記ESD素子の断面図である。P-SUB50oにDeepNwell50pを形成し、このDeepNwell50p内にPwell50qが形成されている。P拡散層50rは、前記SUB電位切替部401に接続されている。NchトランジスタTrのドレイン部50tは、配線1bに接続され、NchトランジスタTrのソース部50sは、GNDに接続されている為、SUB電位が変化しても、電流はソースに流れるのでトランジスタの能力に影響はない。

【0021】次に、本発明の具体例の詳細を図9について説明する。図のように、SUB電位切替部401は、Nchトランジスタ60vのゲートに接続している。抵抗60wの一端はGNDに、又、Nchトランジスタ60vのソースは負電圧発生部40kに夫々接続され、又、抵抗60wの他端は、Nchトランジスタ60vのドレインに接続している。又、Nchトランジスタ60vのドレインは、ESD素子TrのSUBに接続されて、ウエル50qの電位を可変できるようになっている。前記Nchトランジスタ60vのゲートは、抵抗60yを介してGNDに接続されている。この抵抗60yのホット側は、ヒューズ60xを介して負電位発生部40kに接続されている。

【0022】次に、設定容量を可変する構成について、図10を用いて説明する。図10の構成は、図9で説明したSUB電位切替部401の前記Nchトランジスタ60vと負電位の間に、Nchトランジスタ61v、62vを直列に設け、Nchトランジスタ61v、62vのゲートは、各々のドレインに接続され、3段縦ずみ構成になっている。Nchトランジスタの縦ずみ数は、設定容量によって決める。

【0023】各NchトランジスタのSUB電位は、バラツキを無くす為、ソースと同電位にしている。また、各Nchトランジスタのゲートは、切替信号発生部40mに接続されている。次に、レイアウト構成の例を図11を用いて説明する。このレイアウトは、調整する容量が、夫々の複数端子において端子容量規格が同じであ

り、容量のばらつきも同じであると予想される場合、前記SUB電位切替部401の出力を、各ESD素子1c~5cのSUB電位に接続し、1つのSUB電位切替部401で、各ESD素子1c~5cを制御する構成になっている。前記切替信号発生部40m、前記SUB電位切替部401の構成は、図9と同構成になっている。

【0024】次に、第2の例のレイアウト構成について、図12を用いて説明する。このレイアウトは、PAD2d、PAD3dの端子のグループ2ggと、PAD4d、PAD5dの端子のグループ3ggと、PAD1dの端子のグループ1ggのように、グループ毎の端子で調整する容量が異なる場合、前記PAD2d、PAD3dの端子のグループ2gg、PAD4d、PAD5dの端子のグループ3gg、PAD1dの端子のグループ1ggの各グループ毎に、SUB電位切替部411、421、401を設け、前記グループ2gg、3ggは、端子容量規格が異なっても端子位置やパッケージ内配線より容量のばらつきが同じと予想される為、同時に制御するので切替信号発生部41mを共有させている。PAD1dの端子は、前記グループ2gg、3ggと端子容量規格が異なり、更に、端子位置やパッケージ内配線も大きく異なり容量のばらつきが異なると予想される為、切替信号発生部40m、SUB電位切替部401を別に設けている。

【0025】図の負電位発生部40kは、当業者にとってよく知られており、また、本発明とは直接関係しないので、その詳細な構成は省略する。次に、図9の動作について、図を参照して説明する。前記切替信号発生部40m内のヒューズ60xを切断しない場合、SUB電位切替部401内のNchトランジスタ60vはoffし、ESD素子60uのSUB電位は、GND電位になる。この状態で、端子容量を減らしたい場合は、前記ヒューズ60xを切断すると、前記Nchトランジスタ60vがonし、負電位の電圧になる。このため、ESD素子60uのジャンクション容量が減り、端子容量の調整ができる。

【0026】次に、図9とは異なる設定容量にする場合について、図10を参照して説明する。SUB電位切替部411の動作は、図9の401の動作と同様で、前記ヒューズ60xを切断すると、Nchトランジスタ60v、61v、62vがonし、SUB電位切替部411の出力電圧は、(負電位+(Nchトランジスタ61vの閾値VT)+(Nchトランジスタ62vの閾値VT))になり、図9の前記SUB電位切替部401の電圧よりも、ジャンクション容量を大きくした端子容量値に調整できる。このように、何段Nchトランジスタを縦積みにするかによって、調整容量を設定できる。

【0027】次に、本発明の第1のレイアウト構成例の動作を、図11を参照して説明する。図9の動作と同様で、前記切替信号発生部40m内のヒューズ60xを切

断すると、各ESD素子1c~5cのTrジャンクション容量を減らし、端子容量を調整できる。次に、第2のレイアウト構成例の動作を、図12を参照して説明する。

【0028】グループ1gg用の切替発生部40m、SUB電位切替部401の動作は、図9と同様になる。グループ2gg、3gg用の切替発生部41m、SUB電位切替部411、421も図9と同様で、前記切替発生部41m内のヒューズを切断すると、SUB電位切替部411、421内のNchトランジスタがonし、各ESD素子2c、3c、4c、5cのトランジスタジャンクション容量を、SUB電位切替部411、421で設定した電圧分減らし、端子容量を調整できる。

【0029】(第2の具体例) 図13乃至図15は、本発明に係わる半導体装置の第2の具体例を示す図であって、これらの図には、制御手段100は、前記静電保護用のトランジスタが形成されているウエルの電位を設定する複数の電位設定部70af、71af、72afと、前記電位設定部70af、71af、72afの電源である負電圧発生部40kと、前記複数の電位設定部70af、71af、72afを選択する選択手段とからなり、前記選択手段の選択された電圧で静電保護用のトランジスタが形成されているウエルの電位を制御する半導体装置が示されている。

【0030】又、前記電位設定部は、抵抗60wと、n(nは整数で2以上)個のNチャンネルトランジスタとからなり、前記抵抗の一端は前記第1の電源GNDに接続され、前記1番目のNチャンネルのトランジスタのソースは前記負電圧発生部に接続されており、(m-1)番目(2≦m≦n)のNチャンネルのトランジスタのドレインとゲートとは、m番目のNチャンネルのトランジスタのソースに夫々接続され、前記抵抗60wの他端は、前記n番目のNチャンネルのトランジスタのドレインに接続され、前記n番目のNチャンネルのトランジスタのドレインが前記静電保護用のトランジスタが形成されているウエルに接続されており、前記1番目のNチャンネルトランジスタのゲートを第1の電源に接続した半導体装置が示されている。

【0031】なお、電位設定部は、Nチャンネルトランジスタ1個で構成しても、本発明の目的を達成することが出来る。次に、本発明の第2の具体例について、図13を参照して説明する。図13において、図9と異なる点は、SUB電位切替部(電位設定部)501と切替信号発生部50mである。切替信号発生部50m内は、ESD素子1cのSUBに接続されたPAD50dをGND端子50gに配線(ボンディングワイヤー等)50eを介して接続するか、負電位発生部40kに接続された調整電圧を発生するSUB電位調整部501に接続されているPAD51dをPAD50dに配線(ボンディングワイヤー等)51eを介して接続するかによって、前



記ESD素子1cのSUB電位を切替えられるようになっている。SUB電位切替部501内は、Nchトランジスタ60v、61vを2段縦ずみして、Nchトランジスタ61vのソースを前記負電位発生部40kに接続し、Nchトランジスタ60vのドレインはPAD51dに抵抗60wを介して接続されている。Nchトランジスタ60vのゲートはドレインに接続され、Nchトランジスタ61vのゲートはGNDに接続され、前記Nchトランジスタ60v、61vの各SUB（ウエルの電位）は、各前記Nchトランジスタのソースに接続されて常にon状態になっている。

【0032】この回路の動作について説明すると、容量を多くしたい場合は、前記パッケージ内配線50gとPAD50dとを配線（ボンディングワイヤー等）50eで接続することによって、前記ESD素子1cのSUB電位がGNDになり、端子容量は多くなる。PAD51dとPAD50dとを、配線（ボンディングワイヤー等）51eで接続すると、前記ESD素子1cのSUB電位（ウエルの電位）が設定電位（負電位+（Nchトランジスタ60vの閾値VT））に対応した端子容量となり、その容量は小さくなる。

【0033】次に、本発明の第2の具体例の他の例について、図14を参照して説明する。図14において、SUB電位切替部（電位設定部）601は、ESD素子1cのSUB（ウエル）と、負電圧発生部40kと、切替信号発生部40m、41mとに接続されている。SUB電位切替部601は、ESD素子1cのSUB（ウエル）をある負電位にしている。

【0034】切替信号発生部40m内のヒューズを切断することにより、SUB電位切替部601は、ESD素子1cのSUBを所定の負電位に設定し、前記ESD素子のジャンクション容量を小さくする。又、切替信号発生部41m内のヒューズを切断すると、前記SUB電位切替部601は、ESD素子1cのSUB電位を前記設定した負電位より上昇させ、前記ESD素子のジャンクション容量を多くできる。

【0035】次に、図15について具体的に説明する。図15は、図14の切替信号発生部40m、41mとSUB電位切替部601の詳細な回路図である。図において、NAND70ac、71acと、OR70adと、インバータ70z、71z、72zの電源は、GNDに接続され、通常のGNDの箇所に、負電位が接続されている。70aeでは、インバータ70zの出力がNchトランジスタ70aaのゲートに接続され、前記70zの入力は、Pchトランジスタ70abのゲートに接続され、Nchトランジスタ70aaのソース、ドレインを夫々Pchトランジスタ70abのソース、ドレインに接続することでトランスファゲート70aeを構成をしている。71ae、72aeも同様な構成になっている。SUB電位調整部71afは、図13で説明した

501と同構成になっている。又、SUB電位調整部70afは、前記71afからNchトランジスタ61vを削除した構成になっている。更に、SUB電位調整部72afは、前記71afにNchトランジスタを1段縦ずみに追加した構成になっている。

【0036】又、切替信号発生部40m、41mと負電圧発生部40kは、図9で説明した切替信号発生部40mと負電圧発生部40kと同じ構成である。このように構成した本発明の半導体装置において、切替信号発生部40m、41m内のヒューズを切断しない場合、OR70adの出力が負電位になり、前記トランスファゲート71aeがonし、ESD素子のSUB電位は、前記SUB電位調整部71afで設定した電位（負電位+（Nchトランジスタ61vの閾値VT））になる。NAND70ac、71acの出力には、「H」レベルが出力され、トランスファゲート70ae、72aeはoffとなる。

【0037】又、切替信号発生部40m内のヒューズのみを切断した場合、NAND70acの出力が負電位になり、前記トランスファゲート70aeがonし、ESD素子のSUB電位は、前記SUB電位調整部70afで設定した電位（負電位）になる。OR70ad、NAND71acの出力には、「H」レベルが出力され、前記トランスファゲート71ae、72aeはoffとなる。

【0038】又、前記切替信号発生部41m内のヒューズのみを切断した場合、NAND72acの出力が負電位になり、トランスファゲート72aeがonし、ESD素子のSUB電位は、SUB電位調整部72afで設定した（負電位+（Nchトランジスタ63vの閾値VT）+（Nchトランジスタ64vの閾値VT））になる。この時、OR70ad、NAND70acの出力には、「H」レベルが出力され、前記トランスファゲート70ae、71aeはoffとなる。

【0039】この具体例では、調整する容量を増減できるが、図5に示すように、例えば、容量を調整する前の段階で、ある端子Aの端子容量が、端子容量MIN基準を満足できなかった場合、従来技術の場合、容量を増やすことができない為、基準値を満足できないが、本発明では容量を増やし規格を満足させることができる。

#### 【0040】

【発明の効果】本発明に係る半導体装置とその端子容量制御方法は、上述のように構成したので、以下の効果を奏する。第1の効果は、調整容量を付加する必要がなくなり、更に、静電破壊耐圧を下げるようなことがなくなる。

【0041】第2の効果は、数百端子（多端子）の製品になっても、調整容量素子によって、チップサイズは大きくならない。特に、各端子毎に端子容量調整素子や切替部を設ける必要がない為、例えば、全端子が100端子ある製品で、個々の端子を0.2pf前後調整するよ

うに設定し、調整する容量が10端子毎に同じ場合、従来とマスク面積を比較すると、従来より数十分の1にできる。

【0042】また、DRAM品などチップ内部を高速動作させる為に負電位回路が設けられているので、本発明を実施する際、端子容量調整用に新たに回路を設ける必要がない。第3の効果は、ヒューズ切断工数を削減できる。第4の効果は、端子容量を増やして端子容量の調整ができる。

#### 【図面の簡単な説明】

【図1】従来の半導体装置を示す図である。

【図2】従来技術を説明するためのグラフである。

【図3】従来の他の半導体装置を示す図である。

【図4】従来の半導体装置のレイアウトを示す図である。

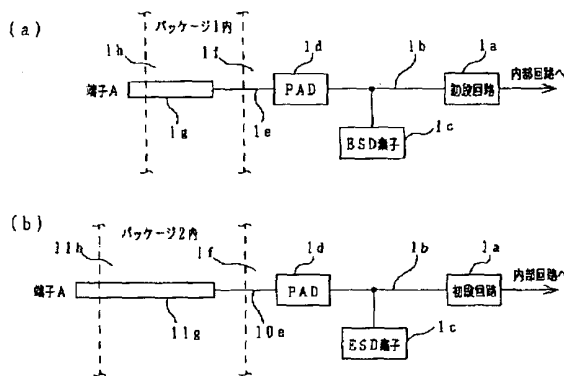
【図5】従来例と本発明の第2の具体例の効果を比較して説明するためのグラフである。

【図6】本発明の半導体装置のブロック図である。

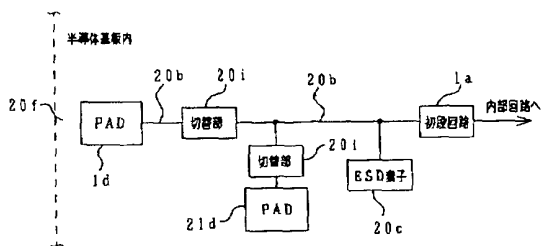
【図7】ESD素子のウェルの負電位に対するジャンクション容量の変化を示す図である。

【図8】パッド近傍に形成した静電保護用のトランジス

【図1】



【図3】



タ部分の断面図である。

【図9】本発明に係わる第1の具体例の回路図である。

【図10】電位切替部の他の具体例を示す回路図である。

【図11】第1の具体例のレイアウト構成例を示すブロック図である。

【図12】第1の具体例の他のレイアウト構成例を示すブロック図である。

【図13】第2の具体例のブロック図である。

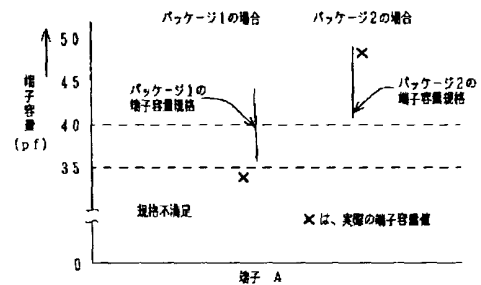
【図14】第2の具体例の他のブロック図である。

【図15】図14の具体的な回路図である。

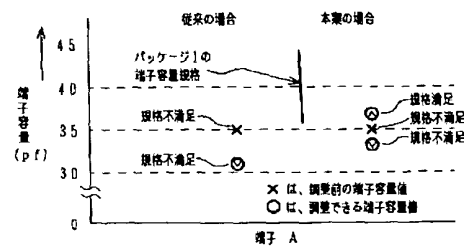
#### 【符号の説明】

- 1 a 初段回路
- 1 b アルミ配線
- 1 c ESD素子
- 1 d PAD (パッド)
- 40 f 半導体基板
- 40 k 負電圧発生部
- 40 l SUB電位切替部
- 40 m 切替信号発生部

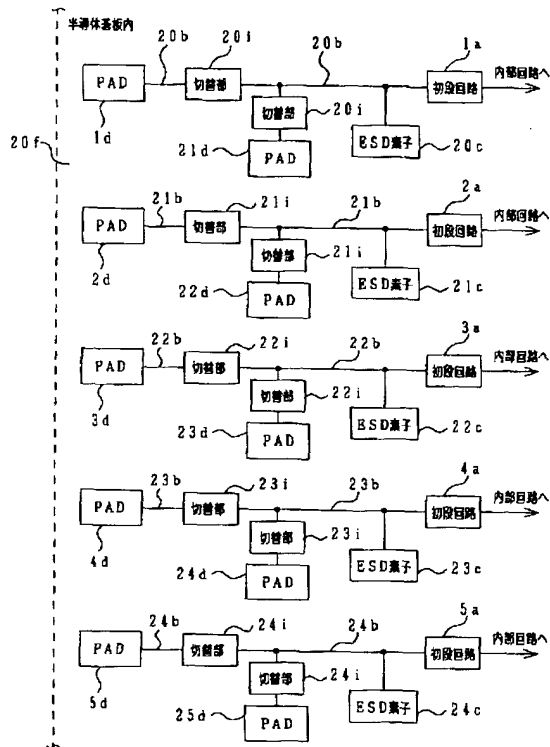
【図2】



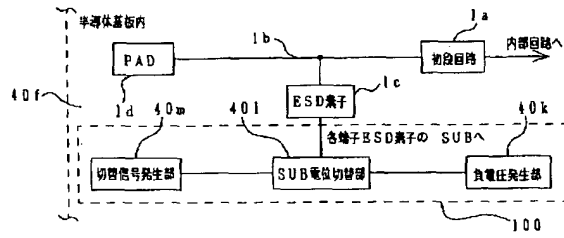
【図5】



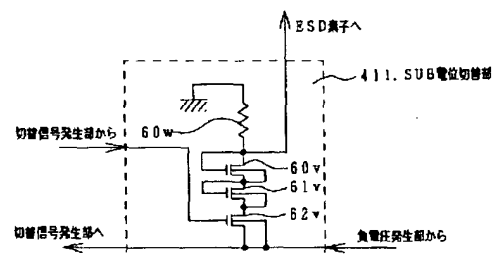
【図 4】



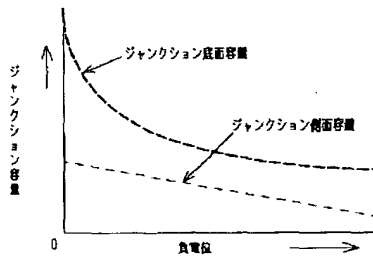
【図 6】



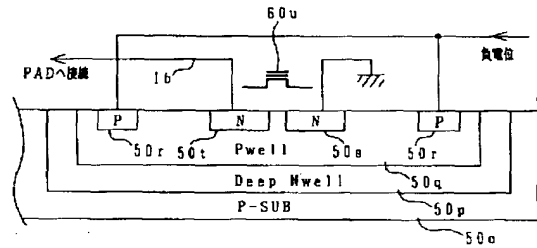
【図 10】



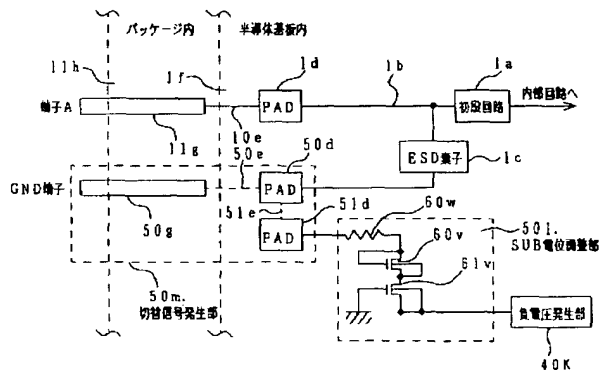
【図 7】



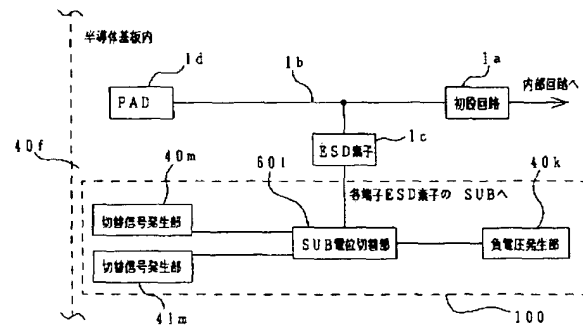
【図 8】



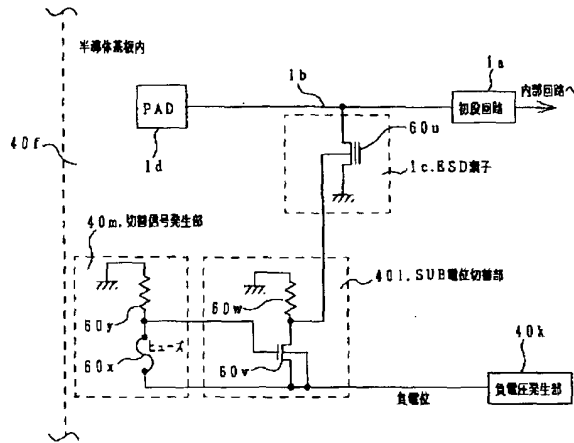
【図 13】



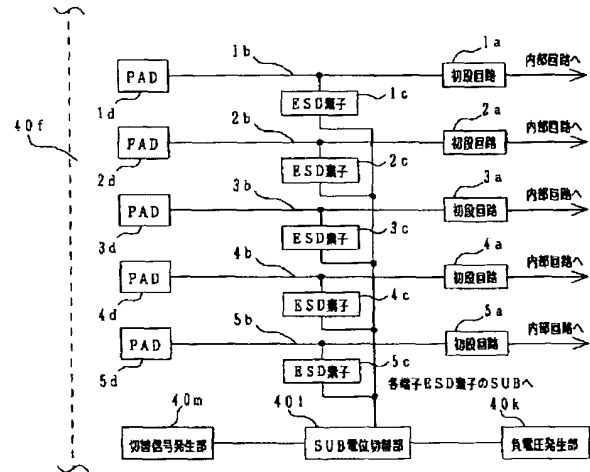
【図 14】



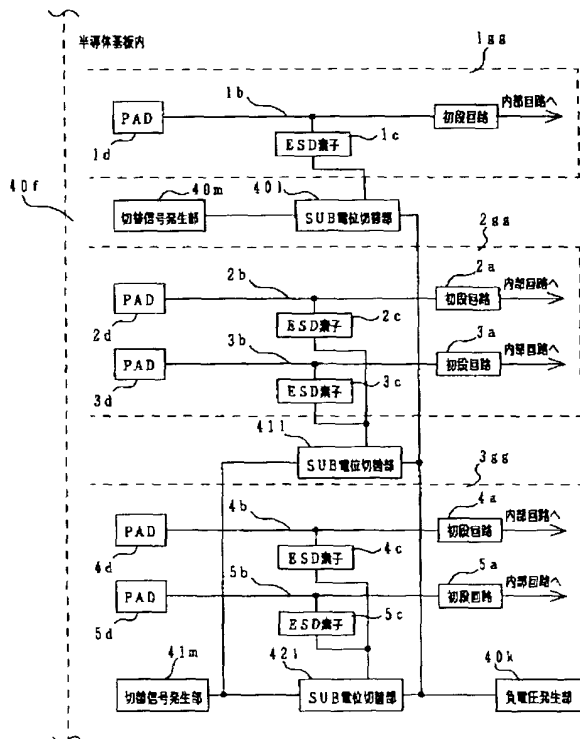
【図 9】



【図 11】



【図 12】



【補正内容】

【請求項 10】 前記電位設定部は、抵抗と、1 個の N チャンネルトランジスタとからなり、前記抵抗の一端は第 1 の電源に接続され、前記 N チャンネルのトランジスタのソースが前記負電圧発生部に接続され、前記抵抗の他端は、前記 N チャンネルのトランジスタのドレインに接続され、前記 N チャンネルのトランジスタのドレインが前記静電保護用のトランジスタが形成されているウエルに接続され、ゲートを前記第 1 の電源に接続したことを特徴とする請求項 2 乃至 6 の何れかに記載の半導体装置。

【手続補正 5】

【補正対象書類名】明細書

【補正対象項目名】0011

【補正方法】変更

【補正内容】

【0011】

【課題を解決するための手段】本発明は上記した目的を達成するため、基本的には、以下に記載されたような技術構成を採用するものである。即ち、本発明に係わる半導体装置の第 1 態様は、パッド近傍に静電保護用のトランジスタが設けられ、半導体装置の端子容量を制御可能にした半導体装置であって、前記静電保護用のトランジスタが形成されているウエルの電位を制御するための制御手段を設けたことを特徴とするものであり、又、第 2 態様は、前記制御手段は、前記静電保護用のトランジスタが形成されているウエルの電位を設定する電位設定部と、前記電位設定部の電源である負電圧発生部とで構成したことを特徴とするものであり、又、第 3 態様は、前記制御手段は、前記静電保護用のトランジスタが形成されているウエルの電位を設定する複数の電位設定部と、前記電位設定部の電源である負電圧発生部と、前記複数の電位設定部を選択する選択手段とからなり、前記選択手段の選択された電圧で前記静電保護用のトランジスタが形成されているウエルの電位を制御することを特徴とするものであり、又、第 4 態様は、前記制御手段は、前記電位設定部を制御する切替信号発生部を含むことを特徴とするものであり、又、第 5 態様は、前記電位設定部は、複数の端子の容量を制御することを特徴とするものであり、又、第 6 態様は、前記電位設定部が複数設けられ、少なくとも一つの電位設定部は複数の端子の容量を制御し、且つ、複数の切替信号発生部を有することを特徴とするものであり、又、第 7 態様は、前記電位設定部は、抵抗と、N チャンネルトランジスタとからなり、前記抵抗の一端は第 1 の電源に接続され、前記 N チャンネルのトランジスタのソースは、前記負電圧発生部に接続されており、前記抵抗の他端は、前記 N チャンネルのトランジスタのドレインに接続され、前記 N チャンネルトランジスタのゲート電位を前記制御手段の切替信号発生部で制御することを特徴とするものであり、又、第 8 態様は、前記電位設定部は、抵抗と、n (n は整数で 2 以

上) 個の N チャンネルトランジスタとからなり、前記抵抗の一端は第 1 の電源に接続され、前記 1 番目の N チャンネルのトランジスタのソースは、前記負電圧発生部に接続されており、(m-1) 番目 ( $2 \leq m \leq n$ ) の N チャンネルのトランジスタのドレインとゲートとは、m 番目の N チャンネルのトランジスタのソースに夫々接続され、前記抵抗の他端は、前記 n 番目の N チャンネルのトランジスタのドレインに接続され、前記 1 番目の N チャンネルトランジスタのゲート電位を、前記制御手段の切替信号発生部で制御することを特徴とするものであり、又、第 9 態様は、前記電位設定部は、抵抗と、n (n は整数で 2 以上) 個の N チャンネルトランジスタとからなり、前記抵抗の一端は第 1 の電源に接続され、前記 1 番目の N チャンネルのトランジスタのソースは前記負電圧発生部に接続されており、(m-1) 番目 ( $2 \leq m \leq n$ ) の N チャンネルのトランジスタのドレインとゲートとは、m 番目の N チャンネルのトランジスタのソースに夫々接続され、前記抵抗の他端は、前記 n 番目の N チャンネルのトランジスタのドレインに接続され、前記 n 番目の N チャンネルのトランジスタのドレインが前記静電保護用のトランジスタが形成されているウエルに接続されており、前記 1 番目の N チャンネルトランジスタのゲートを前記第 1 の電源に接続したことを特徴とするものであり、又、第 10 態様は、前記電位設定部は、抵抗と、1 個の N チャンネルトランジスタとからなり、前記抵抗の一端は第 1 の電源に接続され、前記 N チャンネルのトランジスタのソースが前記負電圧発生部に接続され、前記抵抗の他端は、前記 N チャンネルのトランジスタのドレインに接続され、前記 N チャンネルのトランジスタのドレインが前記静電保護用のトランジスタが形成されているウエルに接続され、ゲートを前記第 1 の電源に接続したことを特徴とするものであり、又、第 11 態様は、前記切替信号発生部は、第 2 の電源と前記負電圧発生部との間に設けた抵抗とヒューズ回路との直列回路からなり、前記抵抗とヒューズ回路との接続点を前記電位設定部の N チャンネルトランジスタのゲートに接続したことを特徴とするものであり、又、第 12 態様は、前記第 1 の電源と第 2 の電源とは、同一の電源であることを特徴とするものである。

【手続補正 6】

【補正対象書類名】明細書

【補正対象項目名】0015

【補正方法】変更

【補正内容】

【0015】又、図 11 に示すように、調整する容量が複数端子同じ場合、ESD 素子 1c ~ 5c の SUB 電位をまとめて制御できるように構成したことを特徴している。更に、図 12 に示すように、同時に調整する容量値が、PAD 2d、PAD 3d の端子のグループと、PAD 4d、PAD 5d の端子のグループのように、グルー

ピングされた端子毎に調整する容量が異なる場合、切替信号発生部 41m を共有化して、各端子グループ毎に SUB 電位切替部を設けるように構成したことを特徴としている。

【手続補正 7】

【補正対象書類名】明細書

【補正対象項目名】0021

【補正方法】変更

【補正内容】

【0021】次に、本発明の具体例の詳細を図 9 について説明する。図のように、抵抗 60w の一端は GND に、又、Nch トランジスタ 60v のソースは負電圧発生部 40k に夫々接続され、又、抵抗 60w の他端は、Nch トランジスタ 60v のドレインに接続している。又、Nch トランジスタ 60v のドレインは、ESD 素子 Tr の SUB に接続されて、ウエル 50q の電位を可変できるようになっている。前記 Nch トランジスタ 60v のゲートは、抵抗 60y を介して GND に接続されている。この抵抗 60y のホット側は、ヒューズ 60x を介して負電位発生部 40k に接続されている。

【手続補正 8】

【補正対象書類名】明細書

【補正対象項目名】0022

【補正方法】変更

【補正内容】

【0022】次に、設定容量を可変する構成について、図 10 を用いて説明する。図 10 の構成は、図 9 で説明した SUB 電位切替部 401 の前記 Nch トランジスタと負電位の間に、Nch トランジスタ 61v、60v を直列に設け、Nch トランジスタ 61v、60v のゲートは、各々のドレインに接続され、3 段縦ずみ構成になっている。Nch トランジスタの縦ずみ数は、設定容量によって決める。

【手続補正 9】

【補正対象書類名】明細書

【補正対象項目名】0023

【補正方法】変更

【補正内容】

【0023】各 Nch トランジスタの SUB 電位は、バラツキを無くす為、各々のソースと同電位にしている。また、Nch トランジスタ 62v のゲートは、切替信号発生部 40m に接続されている。次に、レイアウト構成の例を図 11 を用いて説明する。このレイアウトは、調整する容量が、夫々の複数端子において端子容量規格が同じであり、容量のばらつきも同じであると予想される場合、前記 SUB 電位切替部 401 の出力を、各 ESD 素子 1c ~ 5c の SUB 電位に接続し、1 つの SUB 電位切替部 401 で、各 ESD 素子 1c ~ 5c を制御する構成になっている。前記切替信号発生部 40m、前記 SUB 電位切替部 401 の構成は、図 9 と同構成になっている。

【手続補正 10】

【補正対象書類名】明細書

【補正対象項目名】0032

【補正方法】変更

【補正内容】

【0032】この回路の動作について説明すると、容量を多くしたい場合は、前記 GND 端子 50g と PAD 50d とを配線（ボンディングワイヤー等）50e で接続することによって、前記 ESD 素子 1c の SUB 電位が GND になり、端子容量は多くなる。PAD 51d と PAD 50d とを、配線（ボンディングワイヤー等）51e で接続すると、前記 ESD 素子 1c の SUB 電位（ウエルの電位）が設定電位（負電位 +（Nch トランジスタ 60v の閾値 VT））に対応した端子容量となり、その容量は小さくなる。